

日本国特許庁
KU PATENT OFFICE
JAPANESE GOVERNMENT

02.05.00

JP00/2914

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 5月 7日

RECD 26 JUN 2000

出願番号
Application Number:

平成11年特許願第127688号

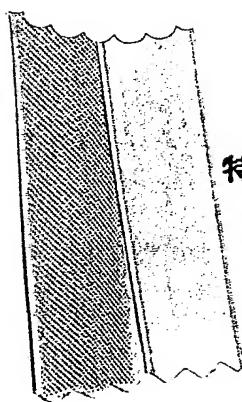
出願人
Applicant(s):

ソニー株式会社
アプライド マテリアルズ インコーポレイテッド

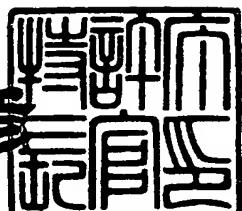
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月 9日



特許庁長官
Commissioner,
Patent Office



出証番号 出証特2000-3042387

【書類名】 特許願

【整理番号】 AMJ260

【提出日】 平成11年 5月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 民谷 直幹

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小暮 里英

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 高岡 裕二

【発明者】

【住所又は居所】 千葉県成田市新泉14-3野毛平工業団地内 アプライ
ド マテリアルズ ジャパン 株式会社内

【氏名】 朴 世烈

【発明者】

【住所又は居所】 千葉県成田市新泉14-3野毛平工業団地内 アプライ
ド マテリアルズ ジャパン 株式会社内

【氏名】 ▲高▼倉 靖

【発明者】

【住所又は居所】 千葉県成田市新泉14-3野毛平工業団地内 アプライ
ド マテリアルズ ジャパン 株式会社内

【氏名】 山内 英敬

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【特許出願人】

【識別番号】 390040660

【氏名又は名称】 アプライド マテリアルズ インコーポレイテッド

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100094318

【弁理士】

【氏名又は名称】 山田 行一

【選任した代理人】

【識別番号】 100094008

【弁理士】

【氏名又は名称】 沖本 一曉

【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平11-127688

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 基板上に形成された絶縁層上の制御電極に導通を有するよう接続された所定パターンの金属配線を形成する半導体装置の製造方法であって

金属膜を形成する第1の工程と、

膜厚が150nm乃至300nmであって、前記所定パターンを有し、シリコン系無機絶縁膜からなるハードマスクを前記金属膜上に形成する第2の工程と、

エッティングガスにより、前記ハードマスクを用いて前記金属膜をエッティングし、前記所定パターンの金属配線を形成する第3の工程と、

を備え、

前記第3の工程中に、前記金属膜に残留帶電する電荷の量を低減せしめ、これにより前記電荷が前記制御電極へ流入することによって生じる前記絶縁層の破壊および劣化を防止するようにした半導体装置の製造方法。

【請求項2】 前記ハードマスクの材料はシリコン酸化物である、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記金属膜はAl膜またはAl合金膜である、請求項1に記載の半導体装置の製造方法。

【請求項4】 前記金属膜はタンクスチタン膜または銅合金膜である、請求項1に記載の半導体装置の製造方法。

【請求項5】 前記ハードマスクの膜厚は180nm乃至230nmである、請求項1に記載の半導体装置の製造方法。

【請求項6】 前記エッティングガスはCl₂を含有する、請求項1に記載の半導体装置の製造方法。

【請求項7】 前記金属膜に接してバリアメタル膜が設けられている、請求項1に記載の半導体装置の製造方法。

【請求項8】 前記ハードマスクを用いて前記バリアメタル膜をエッティングする工程を更に備える、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記金属膜と前記ハードマスクとの間に反射防止膜が設けられている、請求項1に記載の半導体装置の製造方法。

【請求項10】 前記ハードマスクを用いて前記反射防止膜をエッティングする工程を更に備える、請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、制御電極を有する金属-絶縁体-半導体型（MIS型）半導体デバイス上に金属配線を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の金属配線等を形成する場合、プラズマエッティングが広く一般に採用されている。例えば、アルミニウム膜（Al膜）やアルミニウム合金膜（Al合金膜）をプラズマエッティングする場合、エッティングガスとしてCl₂やBCl₃、CCl₄のようなCl原子を含むガスを用いるのが一般的である。また、金属膜のプラズマエッティングにおいては、マスク材料としてフォトレジストが使用され、金属膜とフォトレジスト膜との間にはTiN膜等のTi系膜が反射防止膜として形成される場合がある。

【0003】

【発明が解決しようとする課題】

しかしながら、制御電極を有する金属-絶縁体-半導体型半導体デバイスを備える半導体集積回路を半導体基板の表層に製造するときに、この半導体デバイスの制御電極部がエッティング後に破壊されていたり、絶縁耐圧低下等の劣化が生じていたりする現象が観測されることがある。

【0004】

このような現象を回避するために、エッティング条件を変更すること、またはエッティング装置を変更すること、等によって対策が取られていた。このため、エッティング形状およびプロセス余裕を必ずしも満足できる状態まで向上させることが

できなかった。故に、今後更なる微細化を進めるに当たり、更なる改善が必要とされていた。

【0005】

本発明の目的は、このような事情に鑑みて為されたものであり、制御電極を有する半導体デバイス上に金属配線を形成する場合において、制御電極の部分の破壊および劣化が低減可能な半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】

発明者は、上記目的を達成するために様々な検討を重ねた。エッティングによるMOS半導体デバイスの破壊は、制御電極と半導体基板との間に挟まれたシリコン酸化膜が放電によって破壊および劣化されることにより生じる。発明者は、金属膜を形成するときの制御電極の帯電（チャージアップ）に着目した。エッティングの際に制御電極が帯電することによって、シリコン酸化膜（ゲート絶縁膜）に高い電界が加わる可能性があるからである。

【0007】

エッティングの際に制御電極の帯電を低減するためには、エッティング条件を再検討する方法、エッティング装置を改造する方法等がある。しかしながら、これらの方法は、多くの部分がすでに検討されている。故に、発明者は帯電量自体を低減させる方法がないかと更に検討を重ねた。その結果、本発明を以下の構成のようにした。

【0008】

本発明の半導体装置の製造方法は、基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、(1)金属膜を形成する第1の工程と、(2)膜厚が150nm乃至300nmであって、所定パターンを有し、シリコン系無機絶縁膜からなるハードマスクを金属膜上に形成する第2の工程と、(3)エッティングガスにより、ハードマスクを用いて金属膜をエッティングし、所定パターンの金属配線を形成する第3の工程と、を備える。

【0009】

これによって、第3の工程中に、金属膜に残留帶電する電荷の量を低減せしめ、これにより電荷が制御電極へ流入することによって生じる絶縁層の破壊および劣化を防止するようにしている。

【0010】

このように、制御電極との間に導線経路が存在する配線層を形成する際に使用されるマスク材として、フォトレジストに代わってハードマスクを採用した。ハードマスクを採用すると、金属膜をエッチングする際に必要とされるマスク材の初期膜厚を薄くすることができる。このため、マスク材の体積を減少させることができるので、エッチング中に電荷を捕獲する部分が減る。故に、マスク材に帶電する電荷量が低減可能なので、制御電極と基板との間に加わる電圧を小さくすることができる。

【0011】

発明者は、上記の効果を利用しつつ、金属配線のエッチングを確実に行うためには、ハードマスクの好適な膜厚の範囲は、150nm以上300nm以下の範囲であることを見いだした。また、上記の効果が更に顕著に得られるハードマスクの好適な膜厚の範囲は、180nm以上230nm以下の範囲であるを見いだした。

【0012】

更に詳細な検討を重ねた結果、発明者は、本発明を以下のように適用できることを見い出した。

【0013】

本発明の半導体装置の製造方法では、ハードマスクの材料として、シリコン酸化物等のシリコン系無機膜を用いると、マスク材が金属配線を形成した後も、配線を絶縁するための絶縁膜の一部となるので、ハードマスクを除去する必要がない。例えば、シリコン系無機膜として、 SiO_2 、 SiN 、 SiOF および SiON の少なくともいずれかが含まれることができる。

【0014】

本発明の半導体装置の製造方法では、金属膜として、 Al 膜および Al 合金膜を適用することができ、更に、タンゲステン膜および銅膜も適用できる。

【0015】

本発明の半導体装置の製造方法では、C1を含有するエッティングガスにより金属膜をエッティングすることが好適である。

【0016】

本発明の半導体装置の製造方法では、金属膜に接してバリアメタル膜を設ける工程を備えることができる。このバリアメタル膜をハードマスクを用いてエッティングする工程を備えることができる。また、ハードマスクの形成に先立って、金属膜上に反射防止膜を設ける工程を備えることができる。この反射防止膜をハードマスクを用いてエッティングする工程を備えることができる。

【0017】

このように、反射防止膜およびバリアメタル層の少なくともいずれかを金属膜と同一のマスクを用いてエッティングすることができるので、製造工程が簡素化される。

【0018】

【発明の実施の形態】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。可能な場合には、同一の部分には同一の符号を付して重複する説明を省略する。

【0019】

図1(a)は、本発明の実施の形態である半導体装置の製造方法を適用して基板に製造される半導体装置の工程断面図であり、図1(b)は、図1(a)に示された工程断面図に対応する平面図である。図1(a)は、図1(b)のI-I断面に対応する。以下、基板としてP型シリコン基板2を使用し、MIS型半導体デバイスとして金属-酸化物-半導体型(以下、「MOS型」と記す)トランジスタを形成する場合について説明する。

【0020】

図1(a)及び図1(b)を参照すると、シリコン基板2の表層に素子分離膜4が形成されている。素子分離膜4は、MOS型トランジスタが形成される素子領域6を相互に分離するための絶縁領域である。素子分離膜4は、例えば、LOCOS法、LOPOS法、等を採用して、絶縁領域にシリコン酸化膜を成膜する

ことによって形成される。

【0021】

続いて、基板2上に、ポリシリコン層8を形成する。ポリシリコン層8は、熱酸化法を用いてゲート絶縁膜10を形成した後にポリシリコン膜をCVD法によって成膜し、このポリシリコン膜を所定形状にエッチングすることによって形成される。ポリシリコン層8は、素子領域6上に設けられた制御電極8a、および素子分離膜4上に設けられた配線層8bから成る。

【0022】

素子領域6には、制御電極8aおよび素子分離膜4に対して自己整合的にN型半導体領域6a、6bが形成されている。このN型不純物の導入は、例えばイオン注入法によって行うことができる。N型半導体領域6a、6bの一方は、MOS型トランジスタのソース領域を形成し、また他方はMOS型トランジスタのドレイン領域を形成する。N型半導体領域6a、6bは、制御電極8aによって分離されている。分離されたN型半導体領域6a、6bの間には、チャネル領域6cが形成されている。チャネル領域6cと制御電極8aとは、ゲート酸化膜10を両側から挟んでいる。制御電極8aに加えられる電圧によって、チャネル領域6cの導電率が変調される。その結果として、制御電極8aは、ソース領域とドレイン領域との間に流れる電流を制御するための制御電極となる。

【0023】

基板2上には、MOS型トランジスタが有するソース領域及びドレイン領域のN型半導体領域6a、6b並びに制御電極8aと、制御電極8aとその上層に形成される配線層とを電気的に分離するための層間絶縁膜14が形成される。この絶縁膜14は、例えば、CVD法を用いて所定の厚さのBPSG膜を堆積した後に、熱処理することによって平坦化して形成されることができる。この層間絶縁膜14内には、ソース領域及びドレイン領域のN型半導体領域6a、6b、制御電極8a並びに配線層8bと、上層形成される金属配線とを電気的に接続するための導電部が形成される。このために、層間絶縁膜14内に、コンタクト孔12a、12b、12c、12dを形成する。コンタクト孔12a、12b、12c、12dは、例えば、フォトリソグラフィ法を用いて所定部分に開口部を有する

フォトレジストマスクを形成した後に、プラズマエッチング法によって開口部の層間絶縁膜14を除去することによって形成される。コンタクト孔12aはN型半導体領域6a上に設けられ、N型半導体領域6aとその上層の配線層を接続するための導電部が形成される。コンタクト孔12bはN型半導体領域6b上に設けられ、N型半導体領域6bとその上層の配線層を接続するための導電部が形成される。コンタクト孔12cは配線層8b上に設けられ、配線層8bとその上層の配線層を接続するための導電部が形成される。コンタクト孔12dは制御電極8a上に設けられ、制御電極8aとその上層の配線層を接続するための導電部が形成される。

【0024】

図2(a)は、ハードマスク膜上にマスクパターン形成用のフォトレジストを形成した後の工程断面図である。図2(a)を参照すると、基板2上には、金属膜16が堆積される。金属膜16は、アルミニウム(A1)、A1合金、タンクスチンおよび銅等の少なくともいずれかから成る導電膜を備える。金属膜16と層間絶縁膜14との間には、TiまたはTi/TiNから成るバリアメタル膜を備えることができる。また、導電膜上には、導電膜に接して反射防止膜が更に形成することができる。反射防止膜としては、p-SiON、TiN、Ti/TiN、Si、Si/TiN、p-SiON/TiN、SiC、有機塗布膜等を有する単一層膜および積層膜を利用することができる。バリアメタル膜、導電膜および反射防止膜の各々は、例えば、スパッタリング法又はCVD法によって形成することができる。金属膜16は、層間絶縁膜14に形成されたコンタクト孔12a、12b、12c、12d(図示せず)内にも形成されるので、N型半導体領域6a、6b、制御電極8a及び配線層8bと、上層に形成される金属膜とを電気的に接続するための導電部16a、16b、16c、16dも同時に形成される。

【0025】

金属膜16の膜厚を例示すれば、製造される半導体装置の特性および信頼性を確保するためには、100nm以上1000nm以下であることが好ましい。一実施例を詳述すれば、

—
Ti系のバリアメタル膜：50nm以上100nm以下

A1膜からなる導電膜：100nm以上1000nm以下

反射防止膜：50nm以上100nm以下

である。

【0026】

次いで、ハードマスクとなるハードマスク膜18を金属膜16上に形成する。ハードマスク膜18の材料としては、シリコン系絶縁膜が利用できる。シリコン系絶縁膜を例示すれば、シリコン系無機膜として、 SiO_2 が含まれることができる。これら無機膜は、例えば、CVD法等を用いて堆積される。

【0027】

ハードマスク膜18の膜厚は、金属膜16のエッティングを適切に行うために、150nm以上あり300nm以下の厚さであることが好ましい。ハードマスク膜18（ハードマスク22）の厚さが150nm未満であると、上記の金属膜16のエッティングの際にマスク材として機能が発揮されない。つまり、エッティングの際の膜減りを考慮すると、マスク材としては薄すぎるのである。一方、ハードマスク膜18の厚さが300nmを越えると、逆にエッティング中の帯電量の増加によりゲート酸化膜の破壊および劣化が目立ち始める。このため、上記の膜の範囲が、発明者が実験と考察によって見いだした好適な範囲である。発明者が実験データを詳細に検討した結果、膜厚180nm以上230nm以下の範囲がさらに好適であることが明らかになった。

【0028】

これらの層16、18が堆積された後に、フォトリソグラフィ法を採用してハードマスクを形成する。図2（b）は、ハードマスク22を形成した後の工程断面図を示している。ハードマスク22の形成は、以下の工程に従って進められる。まず、ハードマスク膜18上にフォトレジストを塗布し露光して、金属配線として形成されるべき配線パターンを有するレジスト層20を形成する。このレジスト層20をマスクとして、ハードマスク膜18をエッティングする。ハードマスク膜18をエッティングするための条件を例示すれば、以下のようなものである。

CHF_3 の流量：10sccm

C F₄の流量 : 20 sccm

A r の流量 : 60 sccm

O₂の流量 : 5 sccm

チャンバ内の圧力: 60 mTorr

パワー : 200 W

このような条件を用いてハードマスク膜18をエッティングし、ハードマスク22を形成する。

【0029】

次いで、このように形成されたハードマスク22をマスクにして金属膜をエッティングする。ハードマスク22を用いた金属膜16のエッティングは、プラズマエッティング装置を使用して行うことができる。この詳細については後述する。図3

(a) は、ハードマスク22を用いて金属膜16をエッティングして金属配線24が形成された後の工程断面図を示している。なお、図3 (a) は、以下に示される図3 (b) のI I - I I 断面に対応する。このようにハードマスク22を用いて金属膜16のエッティングを行うと、エッティングに際してゲート酸化膜10の破壊および劣化が低減される。図3 (b) は、金属膜16がエッティングされて金属配線24が形成された後の工程における平面図を示している。図3 (b) を参照すると、制御電極8a及び配線層8bは、コンタクト孔12d内に形成された導電部16dを介して、エッティング中は金属層16と導電経路を有し、またエッティング後は金属配線24と、導電経路を有する。このため、制御電極8a及び配線層8bは、金属配線24が形成された後においても、エッティングのプラズマにさらされているときは、エッティングマスクの帶電量に応じて、基板2と異なる電位になる。これに関する詳細は後述する。

【0030】

なお、ハードマスク22は、シリコン系無機膜であるので、金属配線24を形成した後においても取り除く必要がないことも有利な点である。

【0031】

金属配線24を形成した後に、ハードマスク22が残された状態で、パッシベーション膜26を形成する。図4は、パッシベーション膜26を形成した後の工

程断面図である。パッシベーション膜26は、例えば、CVD法を用いて低濃度の磷(P)ドープのシリコン酸化膜(PSG)を堆積した後に、プラズマ窒化膜を形成することによって達成される。

【0032】

以上の工程によって、発明の実施の形態で説明した半導体装置の製造方法を適用した半導体装置が完成した。この実施の形態では、単一の金属配線層24を有する半導体装置について説明したけれども、金属配線層24の上に追加される一層以上の金属配線層を更に有する半導体装置に対しても適用できることは言うまでもない。この場合に、金属層16、ハードマスク膜18、フォトレジストマスク20のそれぞれに対応する、別個の金属層、別個のハードマスク膜、別個のフォトレジストマスクをそれぞれ形成する。これらの形成方法は、上記の方法と同じように行うことができるがこれに限られるものではない。この後に、別個のフォトレジストマスクをマスクにして別個のハードマスク膜をエッチングして、別個のハードマスクを形成する。そして、この別個のハードマスクをマスクにして、別個の金属層をエッチングして金属配線層を形成する。この場合においても、MOS型トランジスタのゲート酸化膜が、エッチング中に破壊および劣化されることが低減される。

【0033】

上で説明した金属膜のエッチング工程において使用されたエッチング条件について説明する。エッチングは、Cl₂ガス、BCl₃ガスの混合ガスをエッチングガスの主成分として、CHF₃を添加ガスに用いてエッチングを行ったものである。

【0034】

エッチング条件を例示すれば、基板2をエッチング装置のサセプタ上に載置し、固定した後、処理チャンバ内の圧力を5~30mTorr程度、例えば12mTorrに減圧する。一方、ガス流量バルブを制御して、Cl₂ガスの流量を80sccm(全量に対して約60%)、BCl₃ガスを40sccm(約10%)、CHF₃ガスを15sccm以下の流量の条件でそれぞれ流し、これらを混合した後にチャンバ内に供給して、エッチングを行うことが好適である。高周波

電力を印加すると、チャンバ内において高密度プラズマが発生し、維持される。エッティングガスはプラズマによって解離及び電離され、プラズマ中に存在する塩素 (C1) の活性種及びイオンが主に金属膜 16 のエッティングに寄与する。この際、C1イオンが負電位のサセプタに向かって進むので、垂直方向の異方性エッティングが可能となる。

【0035】

なお、C₁₂ガス及びBC₁₃ガスは、従来、一般に金属膜のエッティングガスとして用いられた場合と同様の混合比で混合され使用される。金属膜 16 の材料として、A1、A1合金を例示して挙げているが、エッティングのための上記C1含有ガスでエッティング可能な導電材料であれば、配線層として使用することができる。

【0036】

次いで、金属配線の形成に際して、MOS型トランジスタのゲート酸化膜（制御電極）の破壊が実質的に防止されるメカニズムについて、図5 (a) 及び図5 (b) を参照しながら説明する。図5 (a) は、ハードマスクを用いたエッティングの際の帶電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。図5 (b) は、フォトレジストを用いたエッティングの際の帶電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。発明者は、このメカニズムを以下のように考えている。

【0037】

まず、フォトレジストを使用して同一膜厚の金属膜をエッティングする場合と比較して、ハードマスクを採用するとマスク膜厚を薄くすることができる。例えば、フォトレジストの厚さが1 μm以上2 μm以下であることが必要な場合でも、ハードマスクを採用すると、既に説明したように、ハードマスクの膜厚が150 nm以上300 nm以下であれば良好に金属膜のエッティングを行うことが可能となる。つまり、帶電の原因となるマスク材の体積が小さくなる。このため、エッティング中にマスク材の帶電量が少なくなるので、金属膜の誘起電荷量を少なくできる。また、ハードマスクの膜厚が180 nm以上230 nm以下であれば、さらに好ましい。

【0038】

マスク材は、エッティングの際に電荷が蓄積されて負に帯電し、またエッティングのための金属膜に到達するイオンは正電荷を有するので、エッティングされる導体は相対的に正に帯電するようになる。このため、金属膜の電位は基板と異なる電位になる。制御電極（図1（a）の8a）および配線層（図1（a）の8b）は、金属膜と電気的な接続経路（例えば、図2（b）の16c、16d）を有するので、制御電極8aおよび配線層8bと、これらと対面する基板との間には電位差が生じる。薄いゲート絶縁膜を介して基板と絶縁されている制御電極8aは、その電位差が大きくなるとゲート絶縁膜が絶縁破壊を起こす。しかしながら、本発明では、原因となるマスク材の帯電量が少なくできるので、この絶縁破壊にまで至らない。

【0039】

また、ハードマスクの帯電量が少なくなることに加えて、ハードマスクを用いると、フォトレジストを用いる従来の場合に比較して、エッティング部分のアスペクト比が小さく維持される。このため、フォトレジストを用いていた場合には、帯電した負電荷によって生じるシェーディングのために跳ね返されていたプラズマ中の電子が、エッティング部分の深部にも到達可能になる。故に、エッティング中の金属膜に到達した電子は、正に帯電した金属膜の帯電量を減少させることができる。このため、エッティング中に生じる金属膜の帯電を低減するために役立つ。

【0040】

図5（a）および図5（b）から明らかなように、本実施の形態において説明した方法によれば、エッティングの際に膜中の電荷、およびその電荷によって誘起される電荷の両方が低減される。マスク材の帯電は、配線が密に形成される部分で顕著になると考えられる。しかしながら、本実施の形態で説明した方法によれば、このような配線密集領域においても、マスク材の帯電が、上記の2通りのメカニズムによって低減される。

【0041】

図6（a）は、フォトレジストを用いたエッティングの際の帯電電荷、およびその電荷によって誘起される電荷の両方に関してキャパシタを用いて表した概念図

である。図6 (b) は、ハードマスクを用いたエッティングの際の帶電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

【0042】

図6 (a) を参照すると、フォトレジストの膜厚が厚いので、多くの帶電電荷が存在する。図6 (b) を参照すると、ハードマスクの膜厚がより薄いので、より少ない帶電電荷が存在する。このため、ノードAとノードBとの電位差V1は、ノードCとノードDとの電位差V2に比べて、その絶対値において大きくなる。

【0043】

図6 (a) 及び図6 (b) において、キャパシタC1は、素子分離膜上のポリシリコン層（例えば、図1 (b) の8b）と基板との間に形成される。キャパシタC2は、ゲート酸化膜上のポリシリコン層（例えば、図1 (b) の8a）と基板との間に形成される。ゲート酸化膜の膜厚は、素子分離膜の膜厚に比べて薄いので、両キャパシタの単位面積当たりの容量値を比較するとC1< C2である。

【0044】

図6 (a) に示されたキャパシタC1、C2の両端には、図6 (b) に示されたキャパシタC1、C2に比べて大きな電圧が加えられている。ゲート酸化膜の膜厚は薄いので、製造プロセスに起因する欠陥も生じやすいと考えられる。このため、ある程度大きな電圧が加わると、その欠陥部分が絶縁破壊を起こすと考えられる。これが、制御電極（ゲート電極）の破壊として現れると考えられる。

【0045】

図7は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊(T D D B、Time Dependent Dielectric Breakdown)の結果を示すグラフである。

【0046】

この方法においては、まず、C1₂が60 sccm、BC1₃が90 sccm、CHF₃が15 sccmの流量のガスを、10 mTorrの圧力下でA1膜（金属膜）のエッティングが終了するまで流し、次に、C1₂が30 sccm、BC1₃が45 sccm、CHF₃が15 sccmの流量のガスを7 mTorrの圧力下

でバリアメタル層のエッティングが終了した後、更に10秒間流す。なお、使用されたサンプルのゲート酸化膜の厚さは4.5 nm、ゲート面積は $10 \mu\text{m}^2$ である。また、ハードマスク膜厚は、150 nmである。

【0047】

このような条件下で形成された制御電極に 500 mA/cm^2 の定電流ストレスを与え、破壊にいたるまでの時間を測定した結果を図7に示している。図7のグラフでは横軸に時間、縦軸に累積不良率として表示している。「○」印はフォトレジストを使用したとき（図7中のPR Process）のデータ、「●」印はハードマスクを使用したとき（図7中のHard Mask Process）のデータである。なお、「□」印（図7中のReference）は対比参照のために、配線パターンのない単なる電極状パターン（制御電極面積に対して10万倍の面積のパターン）に接続された制御電極において測定されたデータであり、配線パターンでないためにシェーディングに起因するダメージを含まない結果である。

【0048】

図7のグラフの結果から明らかなように、フォトレジストを使用した結果に比べ、ハードマスクを使用したときの累積不良率は改善され良好なものとなり、シェーディングに起因するダメージを含まない結果とほぼ同等なものになることがわかる。

【0049】

以上、図面を参照しながら詳細に説明したように、本発明によれば、MOS型半導体デバイスの制御電極と電気的に接続される配線層のプラズマドライエッティングを行う場合、特に配線間隔が密な部分で配線膜の帶電が促進されることによって生じるゲート酸化膜の絶縁破壊および劣化を低減することができる。

【0050】

【発明の効果】

以上述べたように、本発明に於いては、制御電極との間に導線経路が存在する配線層を形成する際に使用されるマスク材として、フォトレジストに代わってハードマスクを採用した。ハードマスクを採用すると、金属膜をエッティングする際に必要とされるマスク材の初期膜厚を薄くすることができる。

【0051】

このため、マスク材の体積を減少させることができるので、エッティング中に電荷を捕獲する部分が減る。故に、マスク材に帶電する電荷量が低減可能なので、制御電極と基板との間に加わる電圧を小さくすることができる。

【0052】

したがって、制御電極を有する半導体デバイス上に金属配線を形成する場合において、ゲート酸化膜の破壊および劣化が低減可能な半導体装置の製造方法が提供される。

【図面の簡単な説明】

【図1】

図1（a）は、本発明の半導体装置の製造方法を適用して基板に製造される半導体装置の工程断面図であり、図1（b）は、図1（a）に示された工程断面図に対応する平面図である。

【図2】

図2（a）は、ハードマスク膜上にマスクパターン形成用のフォトレジストを形成した後の工程断面図である。図2（b）は、ハードマスクを形成した後の工程断面図を示している。

【図3】

図3（a）は、ハードマスクを用いて金属膜をエッティングして金属配線を形成した後の工程断面図を示している。図3（b）は、金属膜がエッティングされて金属配線が形成された後の工程における平面図を示している。

【図4】

図4は、パッシベーション膜を形成した後の工程断面図である。

【図5】

図5（a）は、ハードマスクを用いたエッティングの際の帶電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。図5（b）は、フォトレジストを用いたエッティングの際の帶電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。

【図6】

図6 (a) は、フォトレジストを用いたエッチングの際の帶電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。図6 (b) は、ハードマスクを用いたエッチングの際の帶電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

【図7】

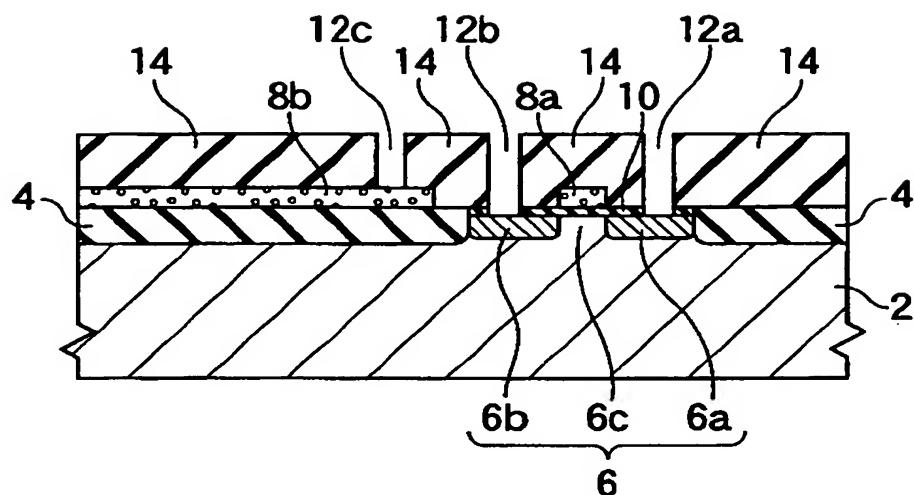
図7は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊の結果を示すグラフである。

【符号の説明】

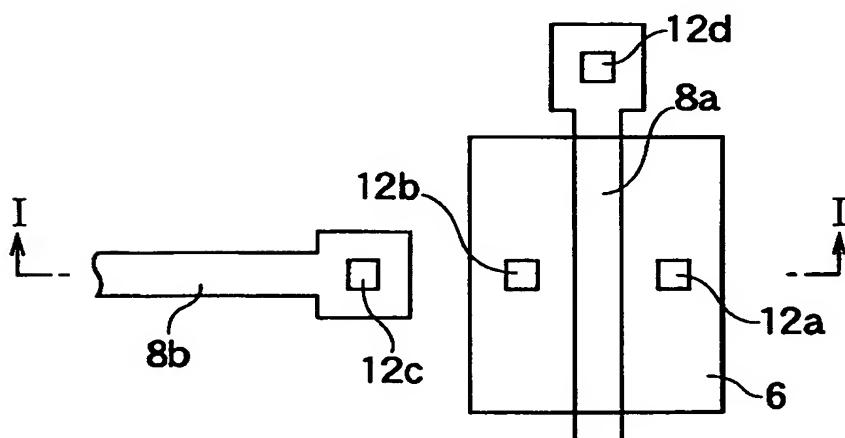
2 … 基板、 4 … 素子分離膜、 6 … 素子領域、 8 … ポリシリコン層、
10 … ゲート酸化膜、 12a、 12b、 12c、 12d … コンタクト孔、
16 … 金属膜、 18 … ハードマスク膜、 20 … フォトレジスト、
22 … ハードマスク、 24 … 金属配線、 26 … パッシベーション膜

【書類名】 図面

【図 1】

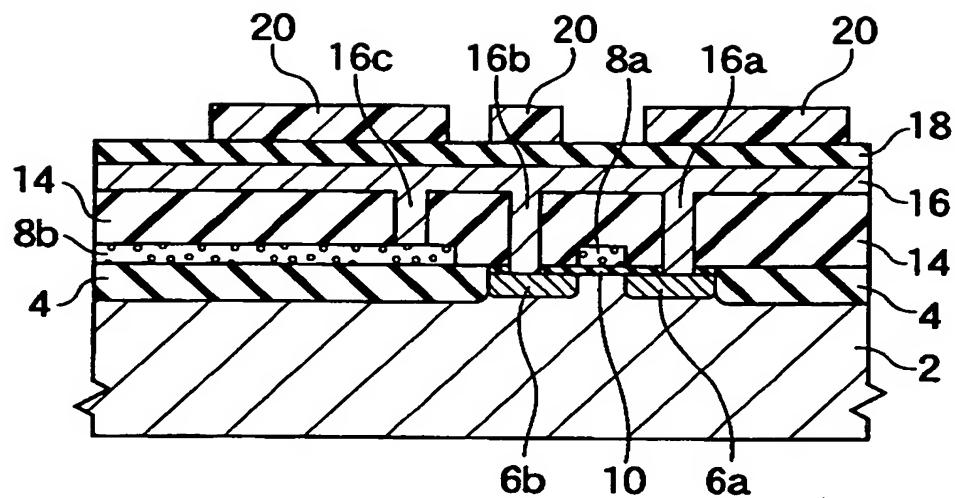


(a)

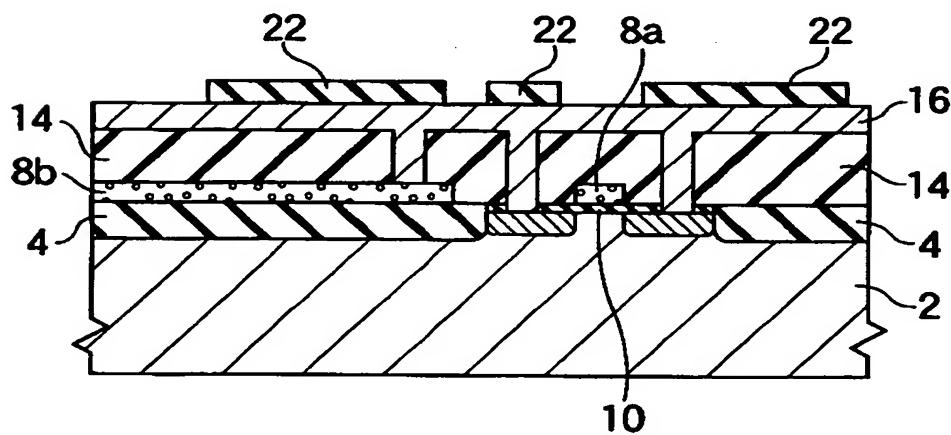


(b)

【図2】

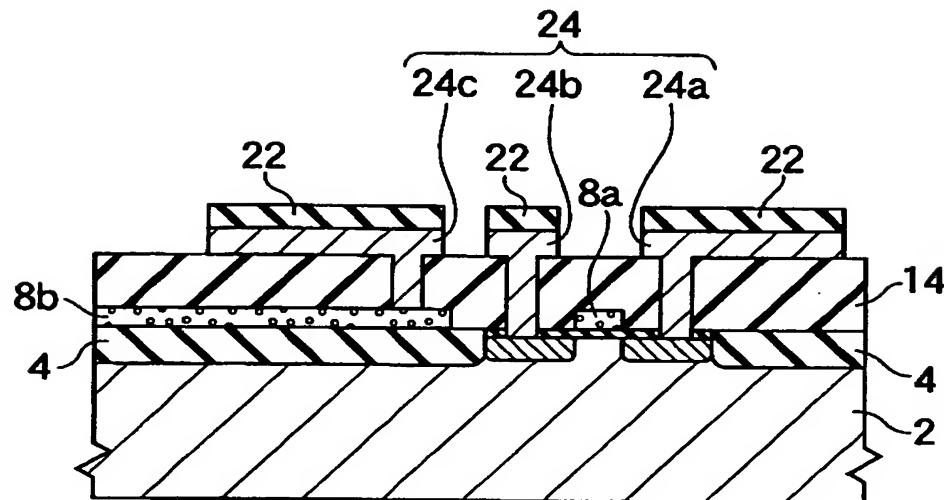


(a)

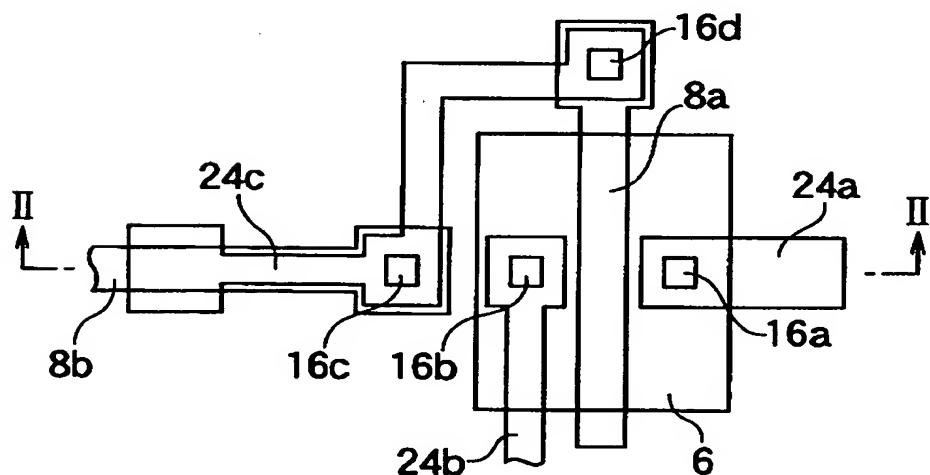


(b)

【図3】

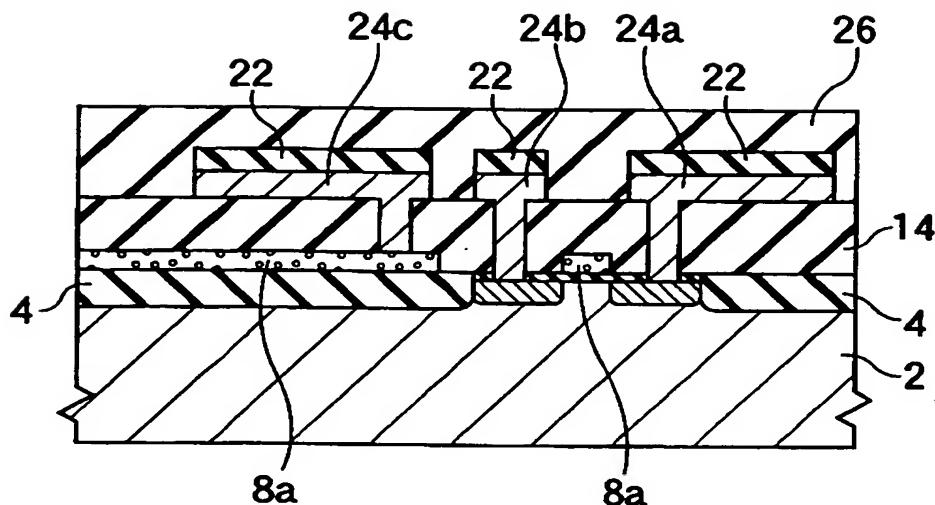


(a)

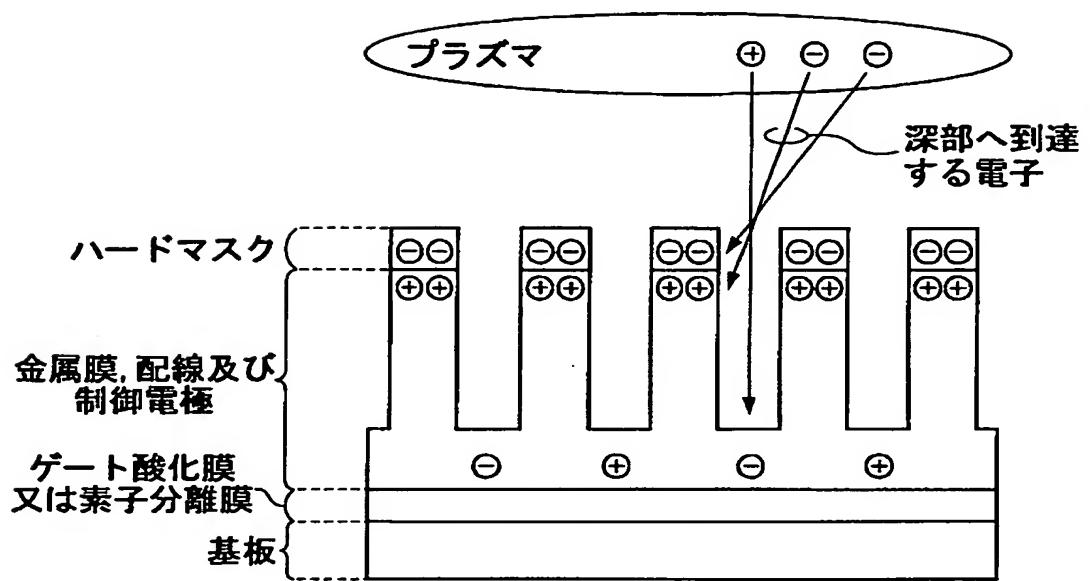


(b)

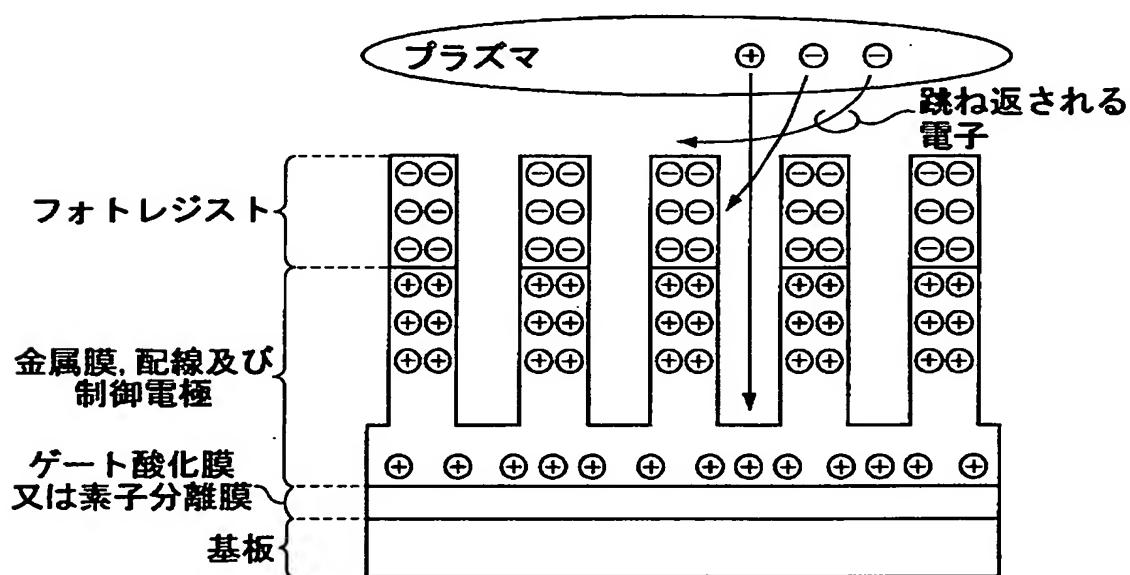
【図4】



【図5】

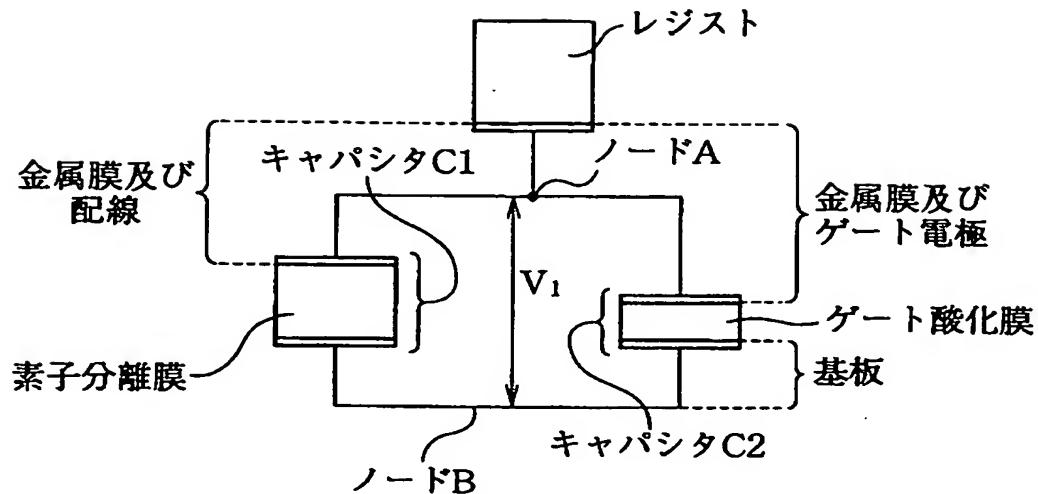


(a)

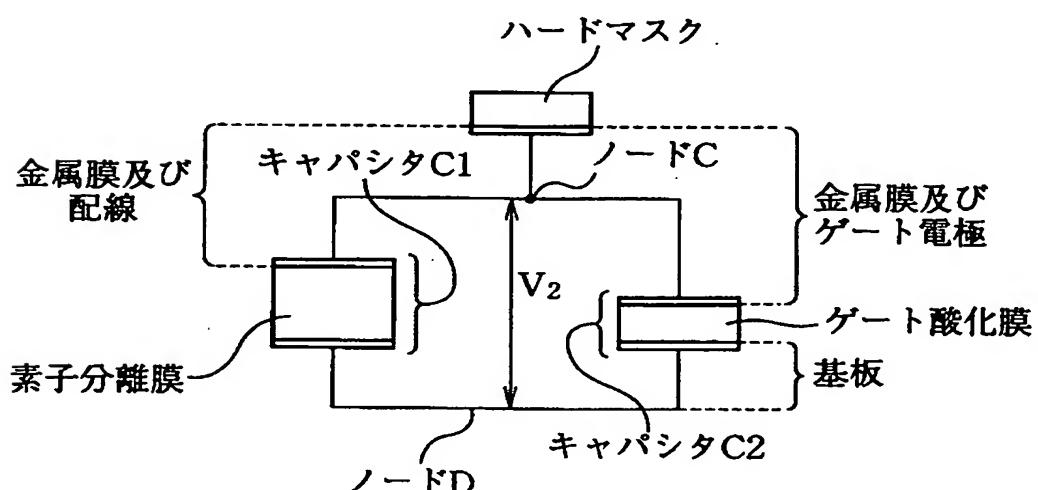


(b)

【図6】

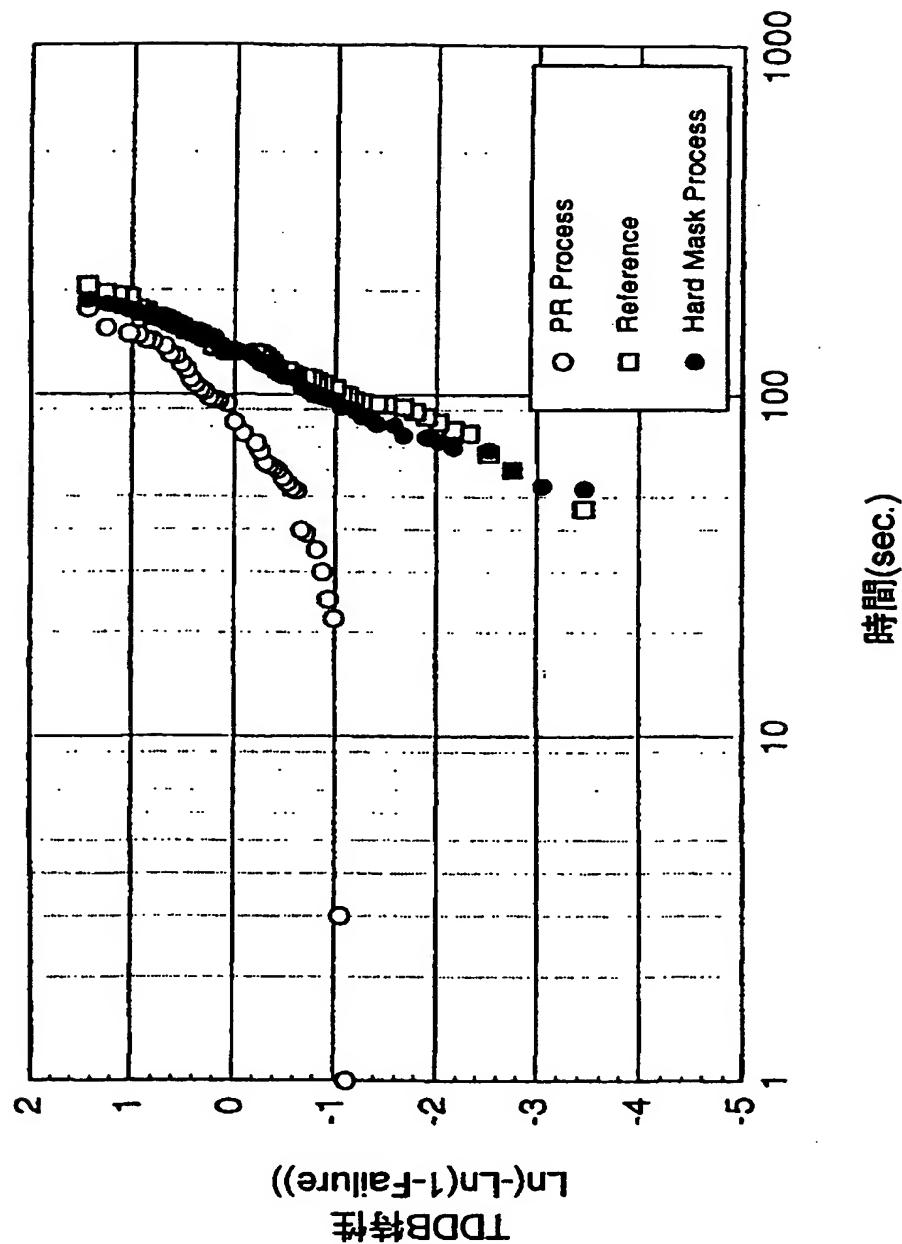


(a)



(B)

【図7】



【書類名】 要約書

【要約】

【課題】 制御電極を持つ半導体デバイス上に金属配線を形成する場合、制御電極部のゲート酸化膜の破壊、劣化を低減可能な半導体装置の製造方法を提供する。

【解決手段】 基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、(1)金属膜を形成し、(2)膜厚が150nm乃至300nmであって所定パターンを有しシリコン系無機絶縁膜からなるハードマスクを金属膜上に形成し、(3)エッティングガスにより、ハードマスクを用いて金属膜をエッティングし、所定パターンの金属配線を形成する工程から構成される。これにより、金属膜に残留帶電する電荷の量を低減せしめ、電荷が制御電極へ流入することによって生じる絶縁層の破壊および劣化を防止している。ハードマスクの膜厚が180nm乃至230nmであればさらに好ましい。

【選択図】 図4

出願人履歴情報

識別番号 [00002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社

出願人履歴情報

識別番号 [390040660]

1. 変更年月日 1990年12月12日

[変更理由] 新規登録

住 所 アメリカ合衆国 カリフォルニア州 95054 サンタ クララ バウアーズ アベニュー 3050

氏 名 アプライド マテリアルズ インコーポレイテッド